

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-326767

(43)公開日 平成7年(1995)12月12日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 H

審査請求 未請求 請求項の数5 F D (全 9 頁)

(21)出願番号 特願平6-142633

(22)出願日 平成6年(1994)5月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 裕幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

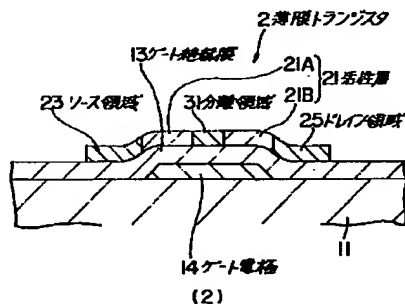
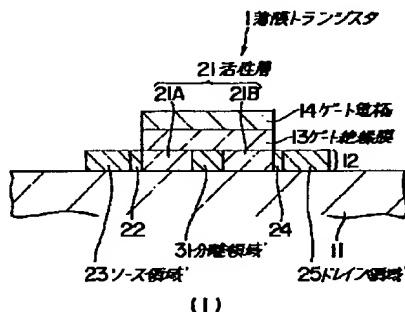
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 薄膜トランジスタおよびそれを用いた液晶表示装置

(57)【要約】

【目的】 本発明は、単体の薄膜トランジスタと同程度の素子面積でリーク電流の低減が図れる薄膜トランジスタを提供し、その薄膜トランジスタをLCDのスイッチングトランジスタに用いることで画素部の開口率の向上を図る。

【構成】 活性層21とゲート絶縁膜13とゲート電極14とが積層され、活性層21の一方側にソース領域23を有し、同他方側にドレイン領域25を有する薄膜トランジスタ1であって、活性層21は、ソース、ドレイン領域23、25と同一導電型を有する分離領域31によって複数の活性層（例えば第1、第2活性層21A、21B）に分離されている。また分離領域31は、高濃度拡散層、低濃度拡散層または高濃度拡散層を低濃度拡散層で挟んだ構成からなる。さらに液晶表示装置（図示せず）において、画素部のスイッチングトランジスタに上記薄膜トランジスタ1を用いたものである。



本発明の発明例の縦断面図

## 【特許請求の範囲】

【請求項1】 活性層とゲート絶縁膜とゲート電極とが積層されていて、該活性層の一方側にソース領域を有し該活性層の他方側にドレイン領域を有する薄膜トランジスタにおいて、

前記活性層は、前記ソース領域および前記ドレイン領域と同一導電型を有する分離領域によって複数の活性層に分離されていることを特徴とする薄膜トランジスタ。

【請求項2】 請求項1記載の薄膜トランジスタにおいて、

前記分離領域は、前記ソース領域および前記ドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなることを特徴とする薄膜トランジスタ。

【請求項3】 請求項1記載の薄膜トランジスタにおいて、

前記分離領域は、前記ソース領域および前記ドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなることを特徴とする薄膜トランジスタ。

【請求項4】 請求項1記載の薄膜トランジスタにおいて、

前記分離領域は、前記ソース領域および前記ドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなる第1分離領域と、前記ソース領域および前記ドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなるもので前記第1分離領域に接合する第2分離領域と、前記ソース領域および前記ドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなるもので前記第2分離領域に接合する第3分離領域とからなることを特徴とする薄膜トランジスタ。

【請求項5】 画素のスイッチングトランジスタに薄膜トランジスタを用いた液晶表示装置において、前記スイッチングトランジスタは、請求項1～請求項4のうちのいずれか1項に記載の薄膜トランジスタで形成されていることを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、薄膜トランジスタおよびそれをスイッチングトランジスタに用いた液晶表示装置に関するものである。

## 【0002】

【従来の技術】液晶表示装置のスイッチングトランジスタには、単体の薄膜トランジスタ〔TFT (Thin Film Transistorの略)〕が用いられている。薄膜トランジスタを単体で用いた場合には、リーク電流を低減することが難しい。また薄膜トランジスタに損傷があった場合には、その薄膜トランジスタでスイッチングする画素が欠陥画素になる。そこで複数の薄膜トランジスタを直列に接続する構造、または複数のLDD (Lightly Doped Drain の略) 構造の薄膜トランジスタを直列に接続する構造が採用されている。

【0003】二つの薄膜トランジスタを直列に接続した構成のスイッチングトランジスタを有する液晶表示装置の画素部を、一例として、図7の要部概略レイアウト図によって説明する。

【0004】図に示すように、液晶表示装置201は、ゲート線211 (2点鎖線で示す部分) と信号線221 (1点鎖線で示す部分) とがほぼ格子状に配設されている。例えばゲート線211が水平方向に配設され、信号線221が垂直方向に配設されている。そして各ゲート線211上の一部分付近にスイッチングトランジスタ部231が形成され、各ゲート線211と各信号線221とで囲まれる領域に画素電極部241 (細線で示す部分) が形成されている。

【0005】上記スイッチングトランジスタ部231に形成される薄膜トランジスタ (スイッチングトランジスタ) 251は、ゲート線211の一部分が逆ヘ字形状に形成され、逆ヘ字形状の屈曲部の両側がゲート電極252、253になっている。なお、逆ヘ字形状は一例であり、他の形状のものもある。各ゲート電極252、253の下方にはゲート絶縁膜 (図示せず) を介して活性層254、255が設けられている。

【0006】上記活性層254の一方側には、 $n^+$  型拡散層からなるドレイン領域256が設けられている。さらに活性層254の他方側で活性層255との間には、 $n^+$  型拡散層257が設けられている。また活性層255の他方側には、 $n^+$  型拡散層からなるソース領域258が設けられている。上記ソース領域258には画素電極部241の透明電極〔例えばITO (Indium Tin Oxide) 電極〕242が接続されている。また上記ドレイン領域256には信号線221が接続されている。

## 【0007】

【発明が解決しようとする課題】しかしながら、複数の薄膜トランジスタを直列に接続した構造および複数のLDD構造の薄膜トランジスタを直列に接続した構造のいずれでも、薄膜トランジスタが占める素子面積が大きくなるため、画素領域の開口率が小さくなる。そのため、明るい表示素子を形成することが困難になっている。

【0008】本発明は、単体の薄膜トランジスタと同程度の素子面積でリーク電流の低減を図るのに優れている薄膜トランジスタを提供することを目的とする。

## 【0009】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた薄膜トランジスタである。すなわち、活性層とゲート絶縁膜とゲート電極とが積層されていて、活性層の一方側にソース領域を有し、その活性層の他方側にドレイン領域を有する薄膜トランジスタであって、上記活性層は、ソース領域およびドレイン領域と同一導電型を有する分離領域によって複数の活性層に分離されているものである。上記分離領域は、ソース領域

およびドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなる。または、ソース領域およびドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなる。あるいは、ソース領域およびドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなる第1分離領域と、ソース領域およびドレイン領域と同程度の不純物濃度を有する高濃度拡散層からなるもので第1分離領域に接合する第2分離領域と、ソース領域およびドレイン領域よりも低い不純物濃度を有する低濃度拡散層からなるもので第2分離領域に接合する第3分離領域とからなる。

【0010】画素のスイッチングトランジスタに薄膜トランジスタを用いた液晶表示装置であって、上記スイッチングトランジスタは上記いずれかの構成の薄膜トランジスタで形成されているものである。

【0011】

【作用】上記薄膜トランジスタでは、活性層が、ソース領域およびドレイン領域と同一導電型を有する分離領域によって複数の活性層に分離されていることから、例えば、活性層に一つの分離領域を設けた場合にはその分離領域によって第1、第2活性層に分離される。このため、2個の薄膜トランジスタを直列に接続したものと等価になる。しかも素子面積は1個の薄膜トランジスタとほとんど変わらない。また上記分離領域は、高濃度拡散層、低濃度拡散層または高濃度拡散層を低濃度拡散層で挟んだ第1、第2、第3分離領域からなることから、いずれの分離領域によっても活性層は複数に分離される。また第1、第2、第3分離領域を順に接合した分離領域によって活性層を分離したことから、分離した各活性層を有する各薄膜トランジスタはLDD (Lightly Doped Drain) 構造になる。

【0012】画素のスイッチングトランジスタを上記いずれかの構成の薄膜トランジスタで形成した液晶表示装置では、単個の薄膜トランジスタを直列に接続したものよりも薄膜トランジスタの占める面積が小さくなる。このため、薄膜トランジスタの占める面積を狭くした分だけ画素の面積を大きくすることが可能になるので、画素の開口率が大きくなる。

【0013】

【実施例】本発明の実施例を図1の概略構成断面図により説明する。図では(1)にプレーナ型薄膜トランジスタの概略断面図を示し、(2)に逆スタガード型薄膜トランジスタの概略断面図を示す。

【0014】図1の(1)に示すように、薄膜トランジスタ1は、一例として、以下のような構成になっている。すなわち、基板11上には半導体層12が設けられている。この半導体層12上の一部分にはゲート絶縁膜13を介してゲート電極14が形成されている。上記ゲート電極14の下方の半導体層12には、例えば不純物がドーピングされたp<sup>-</sup>型多結晶シリコン層からなる活

性層21が形成されている。また上記ゲート電極14の一方側の半導体層12には、ゲート電極14側よりn<sup>-</sup>型半導体からなるLDD拡散層22とn<sup>+</sup>型半導体からなるソース領域23とが形成されている。また上記ゲート電極14の他方側の半導体層12には、ゲート電極14側よりn<sup>-</sup>型半導体からなるLDD拡散層24とn<sup>+</sup>型半導体からなるドレイン領域25が形成されている。

【0015】上記活性層21には、ソース領域23およびドレイン領域25に直接に接合することなくかつ該活性層21を複数(図では二つ)に分離する状態に、上記ソース、ドレイン領域23、25と同一導電型を有する分離領域31が設けられている。したがって、分離領域31によって、活性層21はソース領域23に接続する第1活性層21Aとドレイン領域25に接続する第2活性層21Bに分離される。

【0016】上記薄膜トランジスタ1では、分離領域31によって活性層21は第1活性層21Aと第2活性層21Bとに分離される。このため、薄膜トランジスタ1は、2個の薄膜トランジスタを直列に接続したものと等価になる。

【0017】なお上記説明では、LDD拡散層22、24を形成した薄膜トランジスタ1を示したが、例えばLDD拡散層22、24を形成しない構造のものであっても、分離領域31によって活性層21を分離することは可能である。

【0018】次に、逆スタガード型の薄膜トランジスタを一例にして説明する。図では、上記(1)で説明したのと同様の構成部品には同一の符号を付す。

【0019】図1の(2)に示すように、薄膜トランジスタ2は以下のような構成になっている。すなわち、少なくとも表面が絶縁性の基板11上にはゲート電極14が形成されている。さらにこのゲート電極14を覆う状態にゲート絶縁膜13が形成されている。そして上記ゲート電極14の上方のゲート絶縁膜13上には活性層21が形成されている。この活性層21は、例えば不純物がドーピングされていない非晶質シリコンからなる。上記活性層21の一方側には、該活性層21に接続する状態にn<sup>+</sup>型半導体層からなるソース領域23が形成されている。また、活性層21の他方側には、該活性層21に接続する状態にn<sup>+</sup>型半導体層からなるドレイン領域25が形成されている。

【0020】なお、上記活性層21と上記ドレイン領域25との間にはLDD拡散層(図示せず)が形成されていてもよい。さらに上記活性層21と上記ソース領域23との間にもLDD拡散層(図示せず)が形成されていてもよい。

【0021】上記活性層21には、ソース領域23およびドレイン領域25に直接に接合することなくかつ該活性層21を複数(図では二つ)に分離する状態に、上記ソース、ドレイン領域23、25と同一導電型を有する

分離領域31が設けられている。したがって、分離領域31によって活性層21は、ソース領域23側の第1活性層21Aとドレイン領域25側の第2活性層21Bに分離される。

【0022】上記構成の薄膜トランジスタ2では、活性層21は上記ソース、ドレイン領域23、25と同じ導電型の分離領域31によって、第1活性層21Aと第2活性層21Bとに分離される。このため、薄膜トランジスタ2は2個の薄膜トランジスタを直列に接続したものと等価になる。

【0023】次に、ゲート電極に対する活性層と分離領域とのレイアウトの実施例を、図2のレイアウト図によって説明する。図では、代表して上記薄膜トランジスタ1の活性層21および分離領域31を示す。なお、ここで説明する活性層と分離領域の構成は、上記図1の(2)で説明した逆スタガード型の薄膜トランジスタ2にも適用可能である。

【0024】図2の(1)に示すように、ゲート線111(2点鎖線で示す部分)に接続されているゲート電極14(2点鎖線で示す部分)の下方には、活性層21が設けられている。この活性層21の一方側にはLDD拡散層22を介してソース領域23が設けられ、同活性層21の他方側にはLDD拡散層24を介してドレイン領域25が設けられている。上記活性層21には、ゲート幅方向に横断する状態に分離領域31が形成されている。したがって、分離領域31によって、上記活性層21は第1活性層21Aと第2活性層21Bとに分離されている。

【0025】なお、図示はしていないが、ゲート電極14と活性層21との間にはゲート絶縁膜(13)が形成されている。また上記LDD拡散層22、24は設けなくても差し支えない。

【0026】次に図2の(2)に示すように、ゲート線111(2点鎖線で示す部分)に接続されているゲート電極14(2点鎖線で示す部分)の下方の一方側には第1活性層21Aが設けられている。この第1活性層21Aにはソース領域23が接続されている。また上記ゲート電極14の下方の他方側には、上記第1活性層21Aに接合することなく第2活性層21Bが設けられている。この第2活性層21Bにはドレイン領域25が接続されている。そして上記第1、第2活性層21A、21Bの例えばゲート線111側には、各第1、第2活性層21A、21Bに接合する分離領域31が設けられている。

【0027】なお、図示はしていないが、ゲート電極14と活性層21との間にはゲート絶縁膜(13)が形成されている。また第2活性層21Bとドレイン領域25との間にLDD拡散層(図示せず)を設けることも可能である。さらに第1活性層21Aとソース領域23との間にLDD拡散層(図示せず)を設けても差し支えない。

い。

【0028】次に上記図2の(1)で説明した分離領域の構成を、図3のレイアウト図によって説明する。図では、代表して上記薄膜トランジスタ1の活性層および分離領域を示す。そして、ここで説明する活性層と分離領域の構成は、上記図1の(2)で説明した逆スタガード型の薄膜トランジスタ2にも適用可能である。

【0029】図3の(1)に示すように、活性層21は、例えば $p^-$ 型の不純物がドーピングされている。または不純物がドーピングされていない非晶質シリコンからなる。そして活性層21には、第1、第2活性層21A、21Bに分離するもので、ソース、ドレイン領域(23、25)とはほぼ同等の不純物濃度を有する $n^+$ 型高濃度拡散層からなる分離領域31がゲート幅方向に沿って形成されている。

【0030】図3の(2)に示すように、活性層21は、例えば $p^-$ 型の不純物がドーピングされている。または不純物がドーピングされていない非晶質シリコンからなる。そして活性層21には、第1、第2活性層21A、21Bに分離するもので、ソース、ドレイン領域(23、25)よりも低い不純物濃度を有する $n^-$ 型の低濃度拡散層からなる分離領域31がゲート幅方向に沿って形成されている。この分離領域31の不純物濃度は、例えばLDD構造の $n^-$ 型低濃度拡散層と同程度の不純物濃度を有する。

【0031】図3の(3)に示すように、活性層21は、例えば $p^-$ 型の不純物がドーピングされている。または不純物がドーピングされていない非晶質シリコンからなる。そして活性層21には、第1、第2活性層21A、21Bに分離するもので、ソース、ドレイン領域(23、25)よりも低い不純物濃度を有する $n^-$ 型の第1分離領域31Aがゲート幅方向に設けられている。さらに第1分離領域31Aに接合する状態に、ソース、ドレイン領域(23、25)と同程度の不純物濃度を有する $n^+$ 型の第2分離領域31Bが設けられている。さらにまた第2分離領域31Bに接合する状態にソース、ドレイン領域(23、25)よりも低い不純物濃度を有する $n^-$ 型の第3分離領域31Cが設けられている。したがって、第1、第2、第3分離領域31A、31B、31Cはほぼ並行にゲート幅方向に沿って設けられている。また、上記第1、第3分離領域31A、31Cの不純物濃度は、例えばLDD拡散層(図示せず)の不純物濃度と同程度に設定される。

【0032】次に上記図2の(2)で説明した分離領域の構成を、図4のレイアウト図によって説明する。図では、代表して上記薄膜トランジスタ1の活性層および分離領域を示す。なお、ここで説明する活性層と分離領域の構成は、上記図1の(2)で説明した逆スタガード型の薄膜トランジスタ2にも適用可能である。

【0033】図4の(1)に示すように、第1、第2活

性層21A, 21Bには、例えば $p^-$ 型の不純物がドーピングされている。そして分離領域31は、ソース、ドレイン領域(23, 25)とほぼ同等の不純物濃度を有する $n^+$ 型高濃度拡散層からなり、第1, 第2活性層21A, 21Bに接合してゲート長方向に形成されている。

【0034】図4の(2)に示すように、第1, 第2活性層21A, 21Bには、例えば $p^-$ 型の不純物がドーピングされている。そして分離領域31は、ソース、ドレイン領域(23, 25)よりも低い不純物濃度を有する $n^-$ 型の低濃度拡散層からなり、第1, 第2活性層21A, 21Bに接合してゲート長方向に形成されている。この分離領域31の不純物濃度は、例えばLDD構造の $n^-$ 型低濃度拡散層と同程度の不純物濃度を有する。

【0035】図4の(3)に示すように、第1, 第2活性層21A, 21Bには、例えば $p^-$ 型の不純物がドーピングされている。そして分離領域31は、第1, 第2, 第3分離領域31A, 31B, 31Cからなり、第1分離領域31Aと第3分離領域31Cは、互いに接合することなくほぼゲート長方向に沿って配置され、それぞれに対して並行に配置されている第2分離領域31Bに接合されている。また第1分離領域31Aには、上記第1活性層21Aが接合されている。さらに第3分離領域31Cには、第2活性層21Bが接合されている。

【0036】上記第1分離領域31Aはソース、ドレイン領域(23, 25)よりも低い不純物濃度を有する $n^-$ 型拡散層からなり、第2分離領域31Bはソース、ドレイン領域(23, 25)と同程度の不純物濃度を有する $n^+$ 型拡散層からなる。また第3分離領域31Cは、第1分離領域31Aと同様にソース、ドレイン領域(23, 25)よりも低い不純物濃度を有する $n^-$ 型拡散層からなる。上記第1, 第3分離領域31A, 31Cの不純物濃度は、例えばLDD拡散層(図示せず)の不純物濃度と同程度に設定される。

【0037】上記図3, 図4で説明した分離領域31のいずれの構成でも、第1, 第2活性層21A, 21B)に分離される。したがって、薄膜トランジスタ1(2)は、単体の薄膜トランジスタを直列に接続したのと等価になる。また第2分離領域31Bの不純物濃度よりも低濃度の第1, 第3不純物領域31A, 31Cを設けたものでは、分離された各薄膜トランジスタはLDD(Lightly Doped Drain)構造の薄膜トランジスタになる。

【0038】上記図1~図4では、 $n$ チャネル型の薄膜トランジスタ1(2)を一例にして説明した。上記説明したように活性層を分離領域によって分離する構造は、 $p$ チャネル型の薄膜トランジスタにも適用できる。その場合には、上記説明において、導電型を $n$ 型は $p$ 型に、 $p$ 型は $n$ 型に置き換えればよい。

【0039】次に上記薄膜トランジスタ1(2)を液晶

表示装置のスイッチングトランジスタに用いた構成を、図5の要部概略レイアウト図によって説明する。図では、アクティブマトリックス形表示デバイスにおける液晶表示装置101を説明する。そして、代表として、上記図3の(3)で説明した構成の分離領域を有する薄膜トランジスタ1を採用したもので説明する。

【0040】図5に示すように、液晶表示装置101は、ゲート線111(2点鎖線で示す部分)と信号線121(1点鎖線で示す部分)とが格子状に配設されている。例えばゲート線111が水平方向に配設され、信号線121が垂直方向に配設されている。そして各ゲート線111と各信号線121とで囲まれる領域にスイッチングトランジスタ部131と画素電極部141(細線で示す部分)とが形成されている。

【0041】上記スイッチングトランジスタ部131に形成される薄膜トランジスタ(スイッチングトランジスタ)1には、ゲート線111に接続するゲート電極14と、その下方に形成したゲート絶縁膜(図示せず)と活性層21とが設けられている。上記活性層21の一方側には、 $n^-$ 型拡散層からなるLDD拡散層22を介して、 $n^+$ 型拡散層からなるソース領域23が設けられている。さらに他方側には、 $n^-$ 型拡散層からなるLDD拡散層24を介して、 $n^+$ 型拡散層からなるドレイン領域25が設けられている。上記ソース領域23には画素電極部141の透明電極(例えば、ITO(Indium Tin Oxide)電極)142が接続されている。また上記ドレイン領域25には信号線121が接続されている。

【0042】そして活性層21には、ゲート幅方向に沿って分離領域31が設けられている。この分離領域31は、ゲート幅方向に沿って並行に設けた第1, 第2, 第3分離領域31A, 31B, 31Cからなる。第1分離領域31Aは、ソース領域23およびドレイン領域25よりも低い不純物濃度を有する $n^-$ 型拡散層からなる。第2分離領域31Bは、ソース領域23およびドレイン領域25と同程度の不純物濃度を有する $n^+$ 型拡散層からなり、第1分離領域31Aに接合している。第3分離領域31Cは、ソース領域23およびドレイン領域25よりも低い不純物濃度を有する $n^-$ 型拡散層からなり、第2分離領域31Bに接合している。また、上記第1, 第3分離領域31A, 31Cの不純物濃度は、例えばLDD拡散層(図示せず)の不純物濃度と同程度に設定される。

【0043】次に液晶表示装置の別の構成例を、図6の要部レイアウト図によって説明する。図では、上記図5で説明したのと同様の構成部品には同一符号を付す。

【0044】図6に示すように、液晶表示装置101は、ゲート線111(2点鎖線で示す部分)と信号線121(1点鎖線で示す部分)とが格子状に配設されている。例えばゲート線111が水平方向に配設され、信号線121が垂直方向に配設されている。そして各ゲート

線111と各信号線121とで囲まれる領域にスイッチングトランジスタ部131と画素電極部141（細線で示す部分）とが形成されている。

【0045】上記スイッチングトランジスタ部131に形成される薄膜トランジスタ（スイッチングトランジスタ）1には、ゲート線111に接続するゲート電極14（2点鎖線で示す部分）が設けられている。ゲート電極14の下方の一方側には第1活性層21Aが設けられている。この第1活性層21Aにはソース領域23が接続されている。また上記ゲート電極14の下方の他方側には、上記第1活性層21Aに接合することなく第2活性層21Bが設けられている。この第2活性層21Bにはドレイン領域25が接続されている。そして上記第1、第2活性層21A、21Bの例えばゲート線111側には、各第1、第2活性層21A、21Bに接合する分離領域31が設けられている。

【0046】上記分離領域31は、第1、第2、第3分離領域31A、31B、31Cからなる。第1分離領域31Aと第3分離領域31Cは、互いに接合することなくほぼゲート長方向に沿って配置され、それぞれに対して並行に配置されている第2分離領域31Bに接合されている。また第1分離領域31Aには、上記第1活性層21Aが接合されている。さらに第3分離領域31Cには、第2活性層21Bが接合されている。

【0047】上記第1分離領域31Aはソース、ドレイン領域（23、25）よりも低い不純物濃度を有する $n^-$ 型拡散層からなり、第2分離領域31Bはソース、ドレイン領域（23、25）と同程度の不純物濃度を有する $n^+$ 型拡散層からなる。また第3分離領域31Cは、第1分離領域31Aと同様にソース、ドレイン領域（23、25）よりも低い不純物濃度を有する $n^-$ 型拡散層からなる。上記第1、第3分離領域31A、31Cの不純物濃度は、例えばLDD拡散層（図示せず）の不純物濃度と同程度に設定される。

【0048】上記ソース領域23には画素電極部141の透明電極〔例えばITO（Indium Tin Oxide）電極〕142が接続されている。また上記ドレイン領域25には信号線121が接続されている。

【0049】上記液晶表示装置101では、スイッチングトランジスタに上記構成の薄膜トランジスタ1を用いることによって、二つの単体の薄膜トランジスタを直列に接続して用いた構成のものよりもスイッチングトランジスタのセル面積が縮小される。例えば、従来の二つの薄膜トランジスタを直列に接続したものよりも画素の開口率をおよそ20%大きくすることが可能になる。また、上記説明した薄膜トランジスタ1の代わりに、上記図1の（2）で説明した薄膜トランジスタ2を用いることもできる。以上、活性層21と分離領域31の配置の例を上記図2の（1）、（2）で説明したが、これらの配置デザインに限られることはなく、また発明の効果も

上記説明した配置例と同様に得られる。さらに分離領域31の構成は、上記図3、図4で説明したいずれの構成のものを採用してもよい。

【0050】

【発明の効果】以上、説明したように本発明によれば、ソース領域およびドレイン領域と同一導電型を有する分離領域によって活性層が複数に分離されているので、複数の薄膜トランジスタを直列に接続したのと等価になる。このため、薄膜トランジスタのリーク電流を低減することができる。また分離した一方の薄膜トランジスタに損傷があっても、他方の薄膜トランジスタによって補償される。このため、画素欠陥を低減することができる。さらに単体の薄膜トランジスタの活性層に分離領域を設けて活性層を複数に分離したので、薄膜トランジスタの占める面積は単体の薄膜トランジスタとほぼ同等になる。このため、画素領域の開口率が小さくなることはない。そのため、明るい表示素子を形成することができる。

【0051】画素のスイッチングトランジスタを本発明の薄膜トランジスタで形成した液晶表示装置では、単個の薄膜トランジスタを直列に接続したものよりも薄膜トランジスタの占める面積が小さくなる。このため、薄膜トランジスタの占める面積を狭くした分だけ画素の面積を大きくすることが可能になるので、画素の開口率が大きくなる。したがって、液晶表示装置の画面を明るくすることができる。

【図面の簡単な説明】

【図1】本発明の実施例の概略構成断面図である。

【図2】ゲート電極に対する活性層と分離領域のレイアウト図である。

【図3】分離領域の構成のレイアウト図である。

【図4】分離領域の構成のレイアウト図である。

【図5】液晶表示装置の要部概略レイアウト図である。

【図6】別の液晶表示装置の要部概略レイアウト図である。

【図7】従来の液晶表示装置の要部概略レイアウト図である。

【符号の説明】

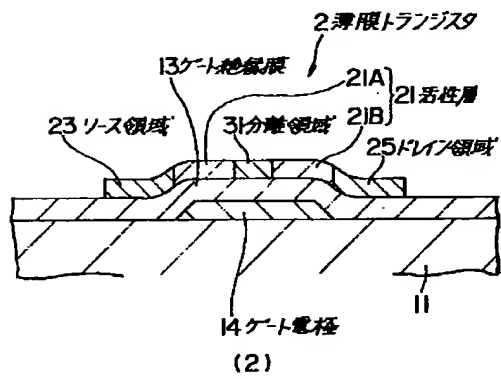
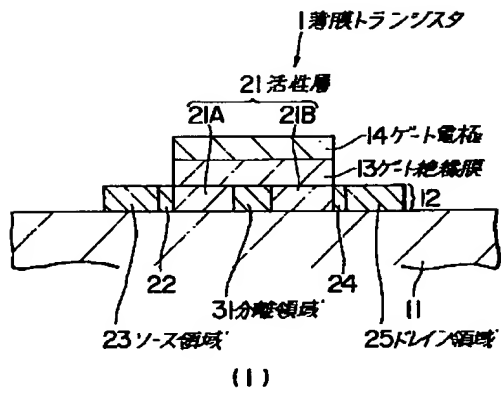
- 1 薄膜トランジスタ
- 2 薄膜トランジスタ
- 13 ゲート絶縁膜
- 14 ゲート電極
- 21 活性層
- 23 ソース領域
- 25 ドレイン領域
- 31 分離領域
- 31A 第1分離領域
- 31B 第2分離領域
- 31C 第3分離領域
- 101 液晶表示装置

11

12

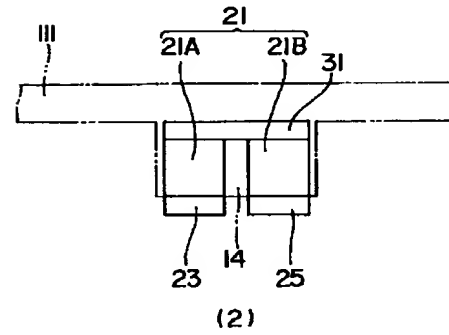
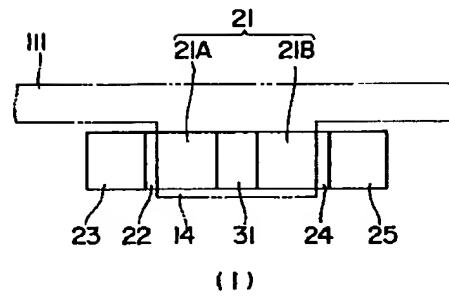
## 131 スイッチングトランジスタ部

【図1】



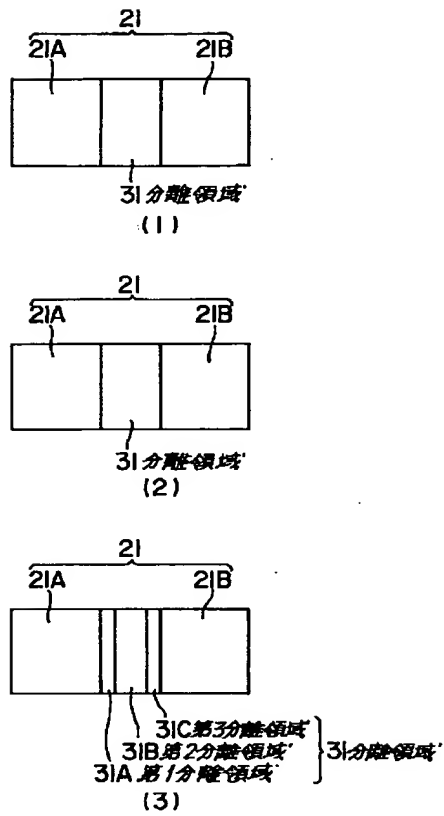
本発明の実施例の概略構造断面図

【図2】



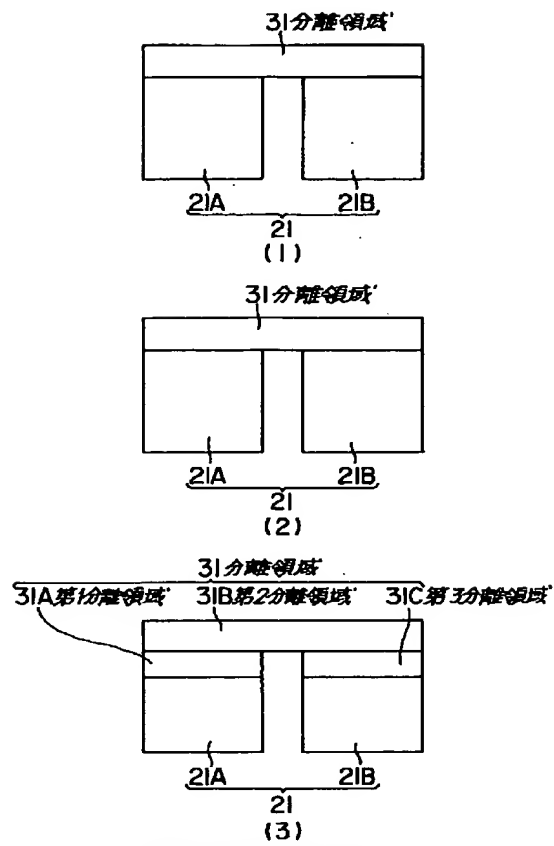
ゲート電極に対する活性層と分離領域のレイアウト図

【図3】



分離領域'の構成のレイアウト図

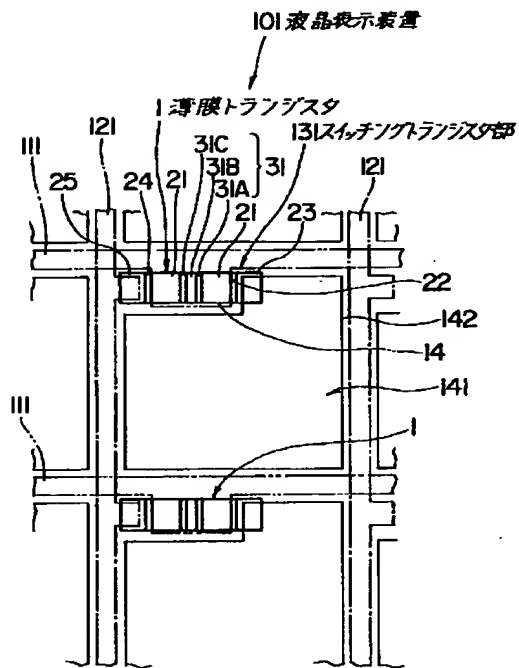
【図4】



分離領域'の構成のレイアウト図

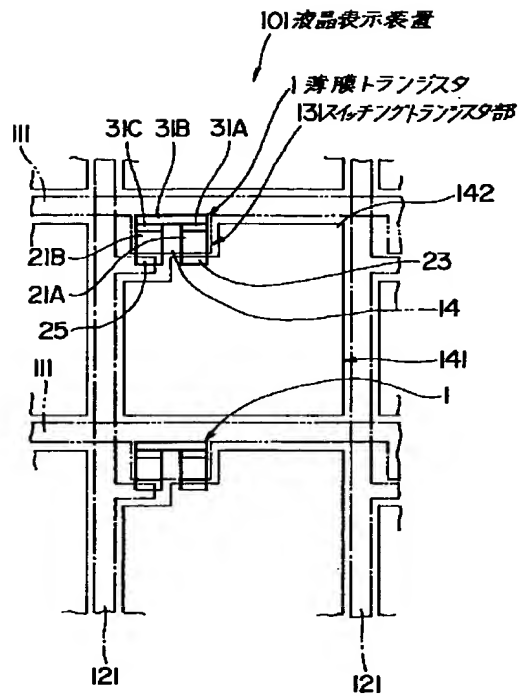


【図5】



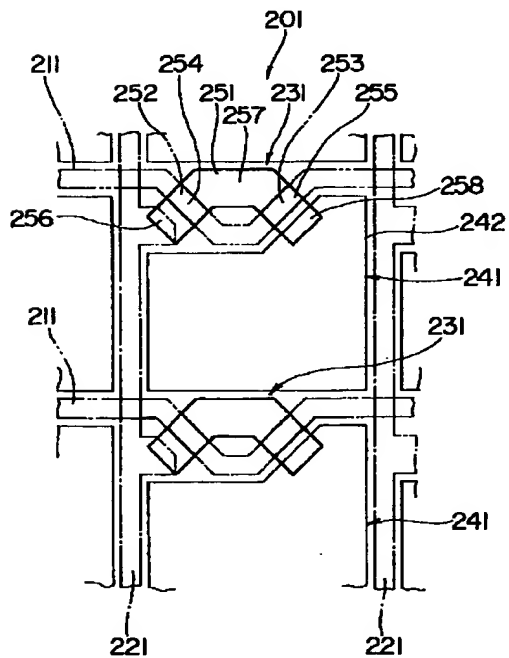
液晶表示装置の要部概略レイアウト図

【図6】



別の液晶表示装置の要部概略レイアウト図

【図7】



従来の液晶表示装置の要部概略レイアウト図

CLIPPEDIMAGE= JP407326767A

PAT-NO: JP407326767A

DOCUMENT-IDENTIFIER: JP 07326767 A

TITLE: THIN FILM TRANSISTOR AND LIQUID CRYSTAL DISPLAY USING  
THAT

PUBN-DATE: December 12, 1995

INVENTOR-INFORMATION:

NAME

IKEDA, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP06142633

APPL-DATE: May 31, 1994

INT-CL (IPC): H01L029/786;G02F001/136

ABSTRACT:

PURPOSE: To provide a thin film transistor of a constitution, wherein a reduction in a leakage current is contrived in an element area of the same degree as the area of an element thin film transistor, and to contrive to improve the aperture rate of the pixel part of an LCD by using the thin film transistor for the switching transistor of the LCD.

CONSTITUTION: In a thin film transistor of a constitution, wherein an active layer 21, a gate insulating film 13 and a gate electrode 14 are laminated, a source region 23 is provided on the side on one side of the sides of the layer 21 and a drain region 25 is provided on the other side of the layer 21, the layer 21 is separated into a plurality of active layers (such as, first and second active layers 21A and 21B) by the regions 23 and 25 and an isolation region 31 having the same conductivity type as that of the regions 23 and 25. The region 31 consists of a high-concentration diffused layer and a

low-concentration diffused layer or is formed into a constitution, wherein a high-concentration diffused layer is held between low-concentration diffused layers. Moreover, a liquid crystal display is one using the thin film transistor 1 for a switching transistor of a pixel part of the display.

COPYRIGHT: (C)1995,JPO

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the liquid crystal display which used TFT and it for the switching transistor.

[0002]

[Description of the Prior Art] The TFT [TFT (the abbreviation for Thin Film Transistor)] of a simple substance is used for the switching transistor of a liquid crystal display. When TFT is used alone, it is difficult to reduce a leakage current. Moreover, when TFT has an injury, the pixel switched by the TFT turns into a defective pixel. Then, the structure of connecting two or more TFT in series, or the structure of connecting the TFT of two or more LDD (the abbreviation for Lightly Doped Drain) structures in series is adopted.

[0003] The important section outline layout pattern of drawing 7 explains as an example the pixel section of a liquid crystal display which has the switching transistor of composition of having connected two TFT in series.

[0004] As shown in drawing, as for the liquid crystal display 201, the gate line 211 (portion shown according to a two-dot chain line) and the signal line 221 (portion shown with a dashed line) are mostly arranged in the shape of a grid. For example, the gate line 211 is arranged horizontally and the signal line 221 is arranged perpendicularly. And the switching transistor section 231 is formed near in part, and the pixel polar zone 241 (portion shown by the thin line) is formed in the field on each gate line 211 surrounded by each gate line 211 and each signal line 221.

[0005] A part of gate line 211 is formed in the shape of a reverse HE typeface, and, as for TFT (switching transistor) 251 formed in the above-mentioned switching transistor section 231, the both sides of a reverse HE typeface-like flection have become the gate electrode 252,253. In addition, the shape of a typeface is an example in reverse, and there is also a thing of other configurations. The barrier layer 254,255 is formed in the lower part of each gate electrode 252,253 through the gate insulator layer (not shown).

[0006] In the one side of the above-mentioned barrier layer 254, it is n+. The drain field 256 which consists of a type diffusion layer is formed. Furthermore, n+ type diffusion layer 257 is established between barrier layers 255 by the other side of a barrier layer 254. Moreover, in the other side of a barrier layer 255, it is n+. The source field 258 which consists of a type diffusion layer is formed. Transparent-electrode [ITO (Indium Tin Oxide) electrode [ for example, ]] 242 of the pixel polar zone 241 are connected to the above-mentioned source field 258. Moreover, the signal line 221 is connected to the above-mentioned drain field 256.

[0007]

[Problem(s) to be Solved by the Invention] However, since the element area in which TFT occupies either of structure which connected in series the TFT of the structure and two or more LDD structures where two or more TFT was connected in series becomes large, the numerical aperture of a pixel field becomes small. Therefore, it is difficult to form a bright display device.

[0008] this invention aims at offering the TFT which is excellent in an element area of the same grade as the TFT of a simple substance aiming at reduction of a leakage current.

[0009]

[Means for Solving the Problem] this invention is the TFT made in order to attain the above-mentioned purpose. That is, a barrier layer, a gate insulator layer, and a gate electrode are the TFT which the laminating is carried out, has a source field in the one side of a barrier layer, and has a drain field in the other side of the barrier layer, and the above-mentioned barrier layer is divided into two or more barrier layers by the isolation region which has the same conductivity type as a source field and a drain field. The above-mentioned isolation region consists of a high concentration diffusion layer which has high impurity concentration of the same grade as a source field and a drain field. Or it consists of a low concentration diffusion layer which has low high impurity concentration rather than a source field and a drain field. Or it consists of the 1st isolation region which consists of a low concentration diffusion layer which has low high impurity concentration rather than a source field and a drain field, the 2nd isolation region which consists of a high concentration diffusion layer which has high impurity concentration of the same grade as a source field and a drain field, and is joined to the 1st isolation region, and the 3rd isolation region which consists of a low concentration diffusion layer which has low high impurity concentration, and is joined to the 2nd isolation region rather than a source field and a drain field.

[0010] It is the liquid crystal display which used TFT for the switching transistor of a pixel, and the above-mentioned switching transistor is formed by the TFT of the composition of one of the above.

[0011]

[Function] In the above-mentioned TFT, when a barrier layer prepares one isolation region in a barrier layer, it is separated into the 1st and the 2nd barrier layer from the isolation region which has the same conductivity type as a source field and a drain field separating into two or more barrier layers by the isolation region, for example. For this reason, it becomes the thing and equivalence which connected two TFT in series. And element area hardly changes with one TFT. Moreover, a barrier layer is separated into plurality from the 1st into which the above-mentioned isolation region inserted the high concentration diffusion layer, the low concentration diffusion layer, or the high concentration diffusion layer by the low concentration diffusion layer, the 2nd, and the 3rd isolation region by any [ a bird clapper to ] isolation region. Moreover, each TFT which has each separated barrier layer from having separated the barrier layer by the isolation region which joined the 1st, the 2nd, and the 3rd isolation region in order becomes LDD (Lightly Doped Drain) structure.

[0012] In the liquid crystal display which formed the switching transistor of a pixel by the TFT of the composition of one of the above, the area which TFT occupies rather than what connected the TFT of a single individual in series becomes small. For this reason, since it becomes possible only for the part which narrowed area which TFT occupies to enlarge area of a pixel, the numerical aperture of a pixel becomes large.

[0013]

[Example] The outline composition cross section of drawing 1 explains the example of this invention. The outline cross section of planar type TFT is shown in (1) drawing, and the outline cross section of reverse suitor guard type TFT is shown in (2).

[0014] As shown in (1) of drawing 1, TFT 1 has the following composition as an example. That is, the semiconductor layer 12 is formed on the substrate 11. The gate electrode 14 is formed in the part on this semiconductor layer 12 through the gate insulator layer 13. p by which the impurity was doped by the semiconductor layer 12 of the lower part of the above-mentioned gate electrode 14 - The barrier layer 21 which consists of a type polycrystal silicon layer is formed. Moreover, in the semiconductor layer 12 of one side of the above-mentioned gate electrode 14, it is n from the gate electrode 14 side. - The LDD diffusion layer 22 and n+ which consist of a type semiconductor The source field 23 which consists of a type semiconductor is formed. Moreover, in the semiconductor layer 12 of the other side of the above-mentioned gate electrode 14, it is n from the gate electrode 14 side. - The LDD diffusion layer 24 and n+ which consist of a type semiconductor The drain field 25 which consists of a type semiconductor is formed.

[0015] The isolation region 31 which has the same conductivity type as the above-mentioned source and the drain fields 23 and 25 in the state of dividing this barrier layer 21 into plurality (drawing two) is formed in the above-mentioned barrier layer 21, without joining to the source field 23 and the drain field 25 directly. Therefore, a barrier layer 21 is divided into 2nd barrier-layer 21B connected with 1st barrier-layer 21A linked to the source field 23 to the drain field 25 by the isolation region 31.

[0016] A barrier layer 21 is divided into 1st barrier-layer 21A and 2nd barrier-layer 21B by the isolation region 31 in above-mentioned TFT 1. For this reason, TFT 1 becomes the thing and equivalence which connected two TFT in series.

[0017] In addition, although the above-mentioned explanation showed TFT 1 in which the LDD diffusion layers 22 and 24 were formed, even if it is the thing of the structure which does not form the LDD diffusion layers 22 and 24, for example, it is possible to separate a barrier layer 21 by the isolation region 31.

[0018] Next, it explains by making reverse suitor guard type TFT into an example. The same sign is given to the component part same with having explained above (1) drawing.

[0019] As shown in (2) of drawing 1, TFT 2 has the following composition. That is, the gate electrode 14 is formed at least on the substrate 11 of insulation [ front face ]. Furthermore, the gate insulator layer 13 is formed in the wrap state in this gate electrode 14. And the barrier layer 21 is formed on the upper gate insulator layer 13 of the above-mentioned gate electrode 14. This barrier layer 21 consists of amorphous silicon with which the impurity is not doped. It is n+ to the state of connecting with the one side of the above-mentioned barrier layer 21 at this barrier layer 21. The source field 23 which consists of a type semiconductor layer is formed. Moreover, it is n+ to the state of connecting with the other side of a barrier layer 21 at this barrier layer 21. The drain field 25 which consists of a type semiconductor layer is formed.

[0020] In addition, the LDD diffusion layer (not shown) may be formed between the above-mentioned barrier layer 21 and the above-mentioned drain field 25. Furthermore, the LDD diffusion layer (not shown) may be formed also between the above-mentioned barrier layer 21 and the above-mentioned source field 23.

[0021] The isolation region 31 which has the same conductivity type as the above-mentioned source and the drain fields 23 and 25 in the state of dividing this barrier layer 21 into plurality (drawing two) is formed in the above-mentioned barrier layer 21, without connecting with the source field 23 and the drain field 25 directly. Therefore, a barrier layer 21 is divided into 1st barrier-layer 21A by the side of the source field 23, and 2nd barrier-layer 21B by the side of the drain field 25 by the isolation region 31.

[0022] A barrier layer 21 is divided into 1st barrier-layer 21A and 2nd barrier-layer 21B by the isolation region 31 of the same conductivity type as the above-mentioned source and the drain fields 23 and 25 in TFT 2 of the above-mentioned composition. For this reason, TFT 2 becomes the thing and equivalence which connected two TFT in series.

[0023] Next, the layout pattern of drawing 2 explains the example of a layout with the barrier layer and isolation region to a gate electrode. Drawing, it represents and the barrier layer 21 and isolation region 31 of above-mentioned TFT 1 are shown. In addition, the composition of the barrier layer and isolation region which are explained here is applicable also to reverse suitor guard type TFT 2 explained by (2) of above-mentioned drawing 1.

[0024] As shown in (1) of drawing 2, the barrier layer 21 is formed under the gate electrode 14 (portion shown according to a

two-dot chain line) connected to the gate line 111 (portion shown according to a two-dot chain line). The source field 23 is established in the one side of this barrier layer 21 through the LDD diffusion layer 22, and the drain field 25 is established in the other side of this barrier layer 21 through the LDD diffusion layer 24. The isolation region 31 is formed in the state of crossing in the gate width direction in the above-mentioned barrier layer 21. Therefore, the above-mentioned barrier layer 21 is divided into 1st barrier-layer 21A and 2nd barrier-layer 21B by the isolation region 31.

[0025] In addition, although illustration has not been carried out, the gate insulator layer (13) is formed between the gate electrode 14 and the barrier layer 21. Moreover, even if it does not establish the above-mentioned LDD diffusion layers 22 and 24, they do not interfere.

[0026] Next, as shown in (2) of drawing 2, 1st barrier-layer 21A is prepared in the one side of the lower part of the gate electrode 14 (portion shown according to a two-dot chain line) connected to the gate line 111 (portion shown according to a two-dot chain line). The source field 23 is connected to this 1st barrier-layer 21A. Moreover, 2nd barrier-layer 21B is prepared in the other side of the lower part of the above-mentioned gate electrode 14, without joining to the above-mentioned 1st barrier-layer 21A. The drain field 25 is connected to this 2nd barrier-layer 21B. and -- for example, an above 1st side and the gate line 111 side of the 2nd barrier layer 21A and 21B -- every -- the isolation region 31 joined to the 1st and the 2nd barrier layer 21A and 21B is formed

[0027] In addition, although illustration has not been carried out, the gate insulator layer (13) is formed between the gate electrode 14 and the barrier layer 21. It is also possible to establish a LDD diffusion layer (not shown) between 2nd barrier-layer 21B and the drain field 25 again. It does not interfere, even if it furthermore establishes a LDD diffusion layer (not shown) between 1st barrier-layer 21A and the source field 23.

[0028] Next, the layout pattern of drawing 3 explains the composition of the isolation region explained by (1) of above-mentioned drawing 2. Drawing, it represents and the barrier layer and isolation region of above-mentioned TFT 1 are shown. And the composition of the barrier layer and isolation region which are explained here is applicable also to reverse suitor guard type TFT 2 explained by (2) of above-mentioned drawing 1.

[0029] As shown in (1) of drawing 3, a barrier layer 21 is p. - The impurity of type is doped. Or it consists of amorphous silicon with which the impurity is not doped. And n+ which separates into the 1st and the 2nd barrier layer 21A and 21B, and has high impurity concentration almost equivalent to the source and a drain field (23 25) in a barrier layer 21. The isolation region 31 which consists of a type high concentration diffusion layer is formed along the gate width direction.

[0030] As shown in (2) of drawing 3, a barrier layer 21 is p. - The impurity of type is doped. Or it consists of amorphous silicon with which the impurity is not doped. And n which separates into the 1st and the 2nd barrier layer 21A and 21B, and has low high impurity concentration rather than the source and a drain field (23 25) in a barrier layer 21. - The isolation region 31 which consists of a low concentration diffusion layer of type is formed along the gate width direction. The high impurity concentration of this isolation region 31 is n of for example, LDD structure. - It has high impurity concentration of the same grade as a type low concentration diffusion layer.

[0031] As shown in (3) of drawing 3, a barrier layer 21 is p. - The impurity of type is doped. Or it consists of amorphous silicon with which the impurity is not doped. And n which separates into the 1st and the 2nd barrier layer 21A and 21B, and has low high impurity concentration rather than the source and a drain field (23 25) in a barrier layer 21. - 1st isolation-region 31A of type is prepared in the gate width direction. n+ which has high impurity concentration of the same grade as the source and a drain field (23 25) in the state of furthermore joining to 1st isolation-region 31A 2nd isolation-region 31B of type is prepared. n which has low high impurity concentration rather than the source and a drain field (23 25) in the state of joining to 2nd isolation-region 31B further again - 3rd isolation-region 31C of type is prepared. Therefore, the 1st, the 2nd, and the 3rd isolation region 31A, 31B, and 31C are mostly formed along the gate width direction in parallel. Moreover, the high impurity concentration of the above 1st and the 3rd isolation region 31A and 31C is set up to the same extent as the high impurity concentration of for example, a LDD diffusion layer (not shown).

[0032] Next, the layout pattern of drawing 4 explains the composition of the isolation region explained by (2) of above-mentioned drawing 2. Drawing, it represents and the barrier layer and isolation region of above-mentioned TFT 1 are shown. In addition, the composition of the barrier layer and isolation region which are explained here is applicable also to reverse suitor guard type TFT 2 explained by (2) of above-mentioned drawing 1.

[0033] As shown in (1) of drawing 4, in the 1st and the 2nd barrier layer 21A and 21B, it is p. - The impurity of type is doped. And an isolation region 31 is n+ which has high impurity concentration almost equivalent to the source and a drain field (23 25). It consists of a type high concentration diffusion layer, it joins to the 1st and the 2nd barrier layer 21A and 21B, and is formed in the direction of gate length.

[0034] As shown in (2) of drawing 4, in the 1st and the 2nd barrier layer 21A and 21B, it is p. - The impurity of type is doped. And an isolation region 31 is n which has low high impurity concentration rather than the source and a drain field (23 25). - It consists of a low concentration diffusion layer of type, it joins to the 1st and the 2nd barrier layer 21A and 21B, and is formed in the direction of gate length. The high impurity concentration of this isolation region 31 is n of for example, LDD structure. - It has high impurity concentration of the same grade as a type low concentration diffusion layer.

[0035] As shown in (3) of drawing 4, in the 1st and the 2nd barrier layer 21A and 21B, it is p. - The impurity of type is doped. And an isolation region 31 consists of the 1st, the 2nd, and the 3rd isolation region 31A, 31B, and 31C, and 1st isolation-region 31A and 3rd isolation-region 31C are joined to 2nd isolation-region 31B which is mostly arranged along the direction of gate length, without joining mutually, and is arranged in parallel to each. Moreover, the above-mentioned 1st barrier-layer 21A is

joined to 1st isolation-region 31A. Furthermore, 2nd barrier-layer 21B is joined to 3rd isolation-region 31C.

[0036] The above-mentioned 1st isolation-region 31A is n which has low high impurity concentration rather than the source and a drain field (23 25). - It is n+ in which it becomes from a type diffusion layer and 2nd isolation-region 31B has high impurity concentration of the same grade as the source and a drain field (23 25). It consists of a type diffusion layer. 3rd isolation-region 31C is n which has low high impurity concentration rather than the source and a drain field (23 25) like 1st isolation-region 31A again. - It consists of a type diffusion layer. The high impurity concentration of the above 1st and the 3rd isolation region 31A and 31C is set up to the same extent as the high impurity concentration of for example, a LDD diffusion layer (not shown).

[0037] Any composition of the isolation region 31 explained by above-mentioned drawing 3 and drawing 4 is divided into the 1st and the 2nd barrier layer 21A and 21B. Therefore, TFT 1 (2) becomes having connected the TFT of a simple substance in series, and equivalence. By what formed the low-concentration 1st and the 3rd impurity range 31A and 31C rather than the high impurity concentration of 2nd isolation-region 31B, each separated TFT turns into TFT of LDD (Lightly Doped Drain) structure again.

[0038] Above-mentioned drawing 1 - drawing 4 explained by making n channel type TFT 1 (2) into an example. The structure where an isolation region separates a barrier layer as explanation was given [ above-mentioned ] is applicable also to p-channel type TFT. In this case, in the above-mentioned explanation, you should transpose n type to p type, and p type should just transpose a conductivity type to n type.

[0039] Next, the important section outline layout pattern of drawing 5 explains the composition which used above-mentioned TFT 1 (2) for the switching transistor of a liquid crystal display. Drawing explains the liquid crystal display 101 in an active matrix type display device. And it is what adopted TFT 1 which has the isolation region of composition of that (3) of above-mentioned drawing 3 explained as a representative, and explains.

[0040] As shown in drawing 5, as for the liquid crystal display 101, the gate line 111 (portion shown according to a two-dot chain line) and the signal line 121 (portion shown with a dashed line) are arranged in the shape of a grid. For example, the gate line 111 is arranged horizontally and the signal line 121 is arranged perpendicularly. And the switching transistor section 131 and the pixel polar zone 141 (portion shown by the thin line) are formed in the field surrounded by each gate line 111 and each signal line 121.

[0041] The gate electrode 14 linked to the gate line 111, and its gate insulator layer (not shown) formed caudad and barrier layer 21 are prepared in TFT (switching transistor) 1 formed in the above-mentioned switching transistor section 131. In the one side of the above-mentioned barrier layer 21, it is n. - The LDD diffusion layer 22 which consists of a type diffusion layer is minded, and it is n+. The source field 23 which consists of a type diffusion layer is formed. Furthermore in the other side, it is n. - The LDD diffusion layer 24 which consists of a type diffusion layer is minded, and it is n+. The drain field 25 which consists of a type diffusion layer is formed. Transparent-electrode [ITO (Indium Tin Oxide) electrode [ for example, ] 142 of the pixel polar zone 141 are connected to the above-mentioned source field 23. Moreover, the signal line 121 is connected to the above-mentioned drain field 25.

[0042] And the isolation region 31 is formed in the barrier layer 21 along the gate width direction. This isolation region 31 consists of the 1st, the 2nd, and the 3rd isolation region 31A, 31B, and 31C which were prepared in parallel along the gate width direction. 1st isolation-region 31A is n which has low high impurity concentration rather than the source field 23 and the drain field 25. - It consists of a type diffusion layer. 2nd isolation-region 31B is n+ which has high impurity concentration of the same grade as the source field 23 and the drain field 25. It consisted of a type diffusion layer and has joined to 1st isolation-region 31A. 3rd isolation-region 31C is n which has low high impurity concentration rather than the source field 23 and the drain field 25. - It consisted of a type diffusion layer and has joined to 2nd isolation-region 31B. Moreover, the high impurity concentration of the above 1st and the 3rd isolation region 31A and 31C is set up to the same extent as the high impurity concentration of for example, a LDD diffusion layer (not shown).

[0043] Next, the important section layout pattern of drawing 6 explains another example of composition of a liquid crystal display. The same sign is given to the component part same drawing as above-mentioned drawing 5 explained.

[0044] As shown in drawing 6, as for the liquid crystal display 101, the gate line 111 (portion shown according to a two-dot chain line) and the signal line 121 (portion shown with a dashed line) are arranged in the shape of a grid. For example, the gate line 111 is arranged horizontally and the signal line 121 is arranged perpendicularly. And the switching transistor section 131 and the pixel polar zone 141 (portion shown by the thin line) are formed in the field surrounded by each gate line 111 and each signal line 121.

[0045] The gate electrode 14 (portion shown according to a two-dot chain line) linked to the gate line 111 is formed in TFT (switching transistor) 1 formed in the above-mentioned switching transistor section 131. 1st barrier-layer 21A is prepared in the one side of the lower part of the gate electrode 14. The source field 23 is connected to this 1st barrier-layer 21A. Moreover, 2nd barrier-layer 21B is prepared in the other side of the lower part of the above-mentioned gate electrode 14, without joining to the above-mentioned 1st barrier-layer 21A. The drain field 25 is connected to this 2nd barrier-layer 21B. and -- for example, an above 1st side and the gate line 111 side of the 2nd barrier layer 21A and 21B -- every -- the isolation region 31 joined to the 1st and the 2nd barrier layer 21A and 21B is formed

[0046] The above-mentioned isolation region 31 consists of the 1st, the 2nd, and the 3rd isolation region 31A, 31B, and 31C. 1st isolation-region 31A and 3rd isolation-region 31C are joined to 2nd isolation-region 31B which is mostly arranged along the direction of gate length, without joining mutually, and is arranged in parallel to each. Moreover, the above-mentioned 1st barrier-layer 21A is joined to 1st isolation-region 31A. Furthermore, 2nd barrier-layer 21B is joined to 3rd isolation-region 31C.

[0047] The above-mentioned 1st isolation-region 31A is n which has low high impurity concentration rather than the source and a

drain field (23 25). - It is n+ in which it becomes from a type diffusion layer and 2nd isolation-region 31B has high impurity concentration of the same grade as the source and a drain field (23 25). It consists of a type diffusion layer. 3rd isolation-region 31C is n which has low high impurity concentration rather than the source and a drain field (23 25) like 1st isolation-region 31A again. - It consists of a type diffusion layer. The high impurity concentration of the above 1st and the 3rd isolation region 31A and 31C is set up to the same extent as the high impurity concentration of for example, a LDD diffusion layer (not shown).

[0048] Transparent-electrode [ITO (IndiumTin Oxide) electrode [ for example, ]] 142 of the pixel polar zone 141 are connected to the above-mentioned source field 23. Moreover, the signal line 121 is connected to the above-mentioned drain field 25.

[0049] In the above-mentioned liquid crystal display 101, the cell area of a switching transistor is reduced by using TFT 1 of the above-mentioned composition for a switching transistor rather than the thing of composition of having connected in series and having used the TFT of two simple substances. For example, it becomes possible to enlarge the numerical aperture of a pixel about 20% rather than what connected two conventional TFT in series. Moreover, TFT 2 explained by (2) of above-mentioned drawing 1 can also be used instead of TFT 1 which gave [ above-mentioned ] explanation. As mentioned above, although (1) of above-mentioned drawing 2 and (2) explained the example of arrangement of a barrier layer 21 and an isolation region 31, it is obtained like the example of arrangement in which it was not restricted to these arrangement designs, and the effect of the invention also gave [ above-mentioned ] explanation. Furthermore, the composition of an isolation region 31 may adopt the thing of which [ which were explained by above-mentioned drawing 3 and drawing 4 ] composition.

[0050]

[Effect of the Invention] As mentioned above, since the barrier layer is divided into plurality by the isolation region which has the same conductivity type as a source field and a drain field according to this invention as explained, it becomes having connected two or more TFT in series and equivalence. For this reason, the leakage current of TFT can be reduced. Moreover, while dissociated, and it is compensated by the TFT of another side even if TFT has an injury. For this reason, a pixel defect can be reduced. Since the isolation region was furthermore prepared in the barrier layer of the TFT of a simple substance and the barrier layer was divided into plurality, the area which TFT occupies becomes almost equivalent to the TFT of a simple substance. For this reason, there is no numerical aperture of a pixel field with a bird clapper small. Therefore, a bright display device can be formed.

[0051] In the liquid crystal display which formed the switching transistor of a pixel by the TFT of this invention, the area which TFT occupies rather than what connected the TFT of a single individual in series becomes small. For this reason, since it becomes possible only for the part which narrowed area which TFT occupies to enlarge area of a pixel, the numerical aperture of a pixel becomes large. Therefore, the screen of a liquid crystal display can be made bright.

---

[Translation done.]



**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the outline composition cross section of the example of this invention.

[Drawing 2] It is the layout pattern of a barrier layer and an isolation region to a gate electrode.

[Drawing 3] It is the layout pattern of the composition of an isolation region.

[Drawing 4] It is the layout pattern of the composition of an isolation region.

[Drawing 5] It is the important section outline layout pattern of a liquid crystal display.

[Drawing 6] It is the important section outline layout pattern of another liquid crystal display.

[Drawing 7] It is the important section outline layout pattern of the conventional liquid crystal display.

[Description of Notations]

1 TFT

2 TFT

13 Gate Insulator Layer

14 Gate Electrode

21 Barrier Layer

23 Source Field

25 Drain Field

31 Isolation Region

31A The 1st isolation region

31B The 2nd isolation region

31C The 3rd isolation region

101 Liquid Crystal Display

131 Switching Transistor Section

---

[Translation done.]